

Ser. 10/511,720

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-196018

(43)Date of publication of application : 14.07.2000

(51)Int.Cl.

H01L 27/04

H01L 21/822

H03K 17/16

H03K 17/687

(21)Application number : 10-372739

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.1998

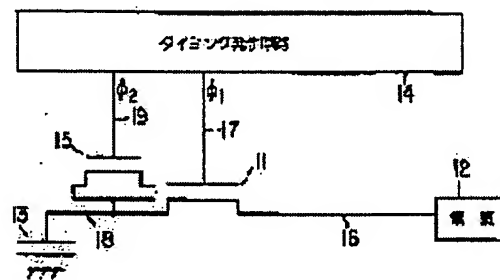
(72)Inventor : MIURA HIROKI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To reduce noise at turning on/off, while using a switch element whose on-resistance is small.

SOLUTION: This semiconductor device, in which a switching operation is operated according to a switch pulse, is provided with a switch element 11 constituted of an n-channel MOS transistor for connecting the two nodes of a circuit 12 at a signal source side and a circuit at a signal transfer side and a noise removing element 15 constituted of an n-channel MOS transistor arranged at the signal transfer side of the switch element 11. The source and drain of the noise-removing element 15 are short-circuited, and a switch pulse to be added to the gate of the noise removing element 15 is inverted with respect to a switching pulse to be added to the gate part of the switching element 11. Thus, noise charges generated at switching of the switch element 11 can be absorbed by the noise-removing element 15.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-196018

(P2000-196018A)

(43)公開日 平成12年7月14日(2000.7.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テームト <sup>*</sup> (参考)
H 0 1 L 27/04		H 0 1 L 27/04	M 5 F 0 3 8
21/822		H 0 3 K 17/16	H 5 J 0 5 5
H 0 3 K 17/16		17/687	G
17/687			

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平10-372739

(22)出願日 平成10年12月28日(1998.12.28)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 三浦 浩樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F038 ACD6 AR27 AV05 AV06 AV13

BH03 BH06 BH07 BH08 BH18

CA02 CA09 CA18

5J055 AX25 AX55 AX56 BX16 CX12

DX13 DX22 EY10 EY21 EY29

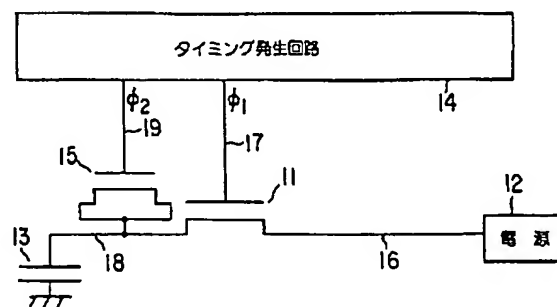
EZ00 GX01 GX04

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 オン抵抗の小さいスイッチ素子を用いながら、オンオフの際の雑音を低減する。

【解決手段】 スイッチパルスによりスイッチング動作を行う半導体装置において、信号原側の回路12と信号転送側の回路との2つのノードをつなぐnチャネルMOSトランジスタからなるスイッチ素子11と、このスイッチ素子11の信号転送側に配置されたnチャネルMOSトランジスタからなるノイズ除去素子15とを具備してなり、ノイズ除去素子15はソースとドレインが短絡され、スイッチ素子11のゲート部に加えるスイッチパルスに対してノイズ除去素子15のゲートに加えるスイッチパルスは反転され、スイッチ素子11のスイッチング時に生じる雑音電荷をノイズ除去素子15により吸収する。



## 【特許請求の範囲】

【請求項1】複数のノード間をつなぐスイッチ素子と、このスイッチ素子の両側又は片側に接続され、該スイッチ素子のスイッチング時に生じる雑音電荷と逆の電荷を発生するノイズ除去素子とを具備してなることを特徴とする半導体装置。

【請求項2】前記スイッチ素子はMOSトランジスタであり、前記ノイズ除去素子は前記スイッチ素子と同タイプのMOSトランジスタであり、前記ノイズ除去素子はソースとドレインが短絡され、前記スイッチ素子のゲート部に加えるスイッチパルスに対して前記ノイズ除去素子のゲートに加えるスイッチパルスは反転されていることを特徴とする請求項1記載の半導体装置。

【請求項3】前記スイッチ素子はMOSトランジスタであり、前記ノイズ除去素子は前記スイッチ素子と逆タイプのMOSトランジスタであり、前記ノイズ除去素子はソースとドレインが短絡され、前記ノイズ除去素子のゲート部には前記スイッチ素子のゲート部に加えるスイッチパルスと同じパルスが供給されることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、スイッチ素子を備えた半導体装置に係わり、特にスイッチ素子のスイッチング時のノイズを低減するためにノイズ除去素子を設けた半導体装置に関する。

## 【0002】

【従来の技術】半導体集積回路において、バイポーラトランジスタ、MOSトランジスタ、JFET（接合型電界効果トランジスタ）等は、スイッチ素子としても用いられている。以下、スイッチ素子としてMOSトランジスタを用いる場合について述べるが、他のトランジスタについても同様であり、詳細については省略する。

【0003】MOSトランジスタをスイッチ素子として用いた場合、スイッチ素子のオンオフの際に、スイッチ素子の両端にスパイク状の雑音や電位変動が生じる。これは、MOSトランジスタのゲート電極に加えられる電圧の変化によって、ゲート電極と基板、ゲート電極とソース・ドレイン拡散層の間の容量に電荷が蓄積放出されるためである。特に、拡散層につながる信号転送側の素子の容量が小さいとき、その影響は大きくなる。これらは、アナログ回路やイメージセンサにおいて大きな問題となっている。

【0004】また、スイッチ素子のオンオフ時の雑音は、スイッチ素子を構成するMOSトランジスタのゲート電極のサイズを小さくすることによって小さくすることができるが、トランジスタのサイズを小さくするとオン抵抗が大きくなり、高速に動作させることができないと言う問題が生じる。そこで、スイッチ素子のオンオフの際の雑音が小さく、かつ高速に動作させることができ

るような半導体装置の実現が望まれている。

## 【0005】

【発明が解決しようとする課題】このように従来、スイッチ素子のオンオフの際に生じる雑音とオン抵抗との間にはいわゆるトレードオフの関係があり、これらの双方を満足させることは困難であった。

【0006】本発明は、上記事情を考慮して成されたもので、その目的とするところは、オン抵抗の小さいスイッチ素子を用いながら、オンオフの際の雑音を低減することのできる半導体装置を提供することにある。

## 【0007】

【課題を解決するための手段】（構成）上記課題を解決するために本発明は次のような構成を採用している。

【0008】即ち本発明は、スイッチパルスによりスイッチング動作を行う半導体装置において、複数のノード間をつなぐスイッチ素子と、このスイッチ素子の両側又は片側に接続され、該スイッチ素子のスイッチング時に生じる雑音電荷と逆の電荷を発生するノイズ除去素子とを具備してなることを特徴とする。

【0009】ここで、本発明の望ましい実施態様としては次のものがあげられる。

【0010】(1) スwitch素子はMOSトランジスタであり、ノイズ除去素子はスイッチ素子と同タイプのMOSトランジスタであり、ノイズ除去素子はソースとドレインが短絡されてスイッチ素子のソース・ドレインの一方に接続され、スイッチ素子のゲート部に加えるスイッチパルスに対してノイズ除去素子のゲートに加えるスイッチパルスは反転されていること。

【0011】(2) スwitch素子はMOSトランジスタであり、ノイズ除去素子はスイッチ素子と逆タイプのMOSトランジスタであり、ノイズ除去素子はソースとドレインが短絡されてスイッチ素子のソース・ドレインの一方に接続され、ノイズ除去素子のゲート部にはスイッチ素子のゲート部に加えるスイッチパルスと同じパルスが供給されること。

【0012】(3) ノイズ除去素子は、スイッチ素子の両側のうち、特に雑音の影響が大きくなる側に設けられていること。

【0013】（作用）MOSトランジスタ等のスイッチ素子のオンオフ時に生じる雑音は、ゲート電極に印加される電圧の変化によってスイッチ素子の寄生容量から正電荷又は負電荷が放出されることに起因する。本発明では、スイッチ素子のオンオフ時にスイッチ素子と逆の電荷が放出されるようなノイズ除去素子を設けることにより、スイッチ素子からの電荷とノイズ除去素子からの電荷を相殺させることができ、これによりスイッチング時の雑音の低減をはかることが可能となる。

【0014】そしてこの場合、上記の電荷相殺の原理からスイッチ素子の大きさは特に関係ないので、スイッチ素子のサイズを大きくすることができ、雑音を増大させ

ることなしに高速動作を実現することが可能となる。

【0015】

【発明の実施の形態】以下、本発明の詳細を図示の実施形態によって説明する。

【0016】（第1の実施形態）図1は、本発明の第1の実施形態に係わる半導体装置の回路構成を示す図である。

【0017】図中の11は従来からあるスイッチ素子であり、このスイッチ素子11によって、信号原側の回路（代表的には電源）12と信号転送先側の回路（代表的には負荷容量）13がつながっている。スイッチ素子11は、例えばnチャネルMOSトランジスタであり、そのゲート電極には、タイミング発生回路14によりスイッチパルスφ1が印加されている。

【0018】ここまでの基本構成に加え本実施形態では、スイッチ素子11の信号転送先側にノイズ除去素子15が接続されている。このノイズ除去素子15は、スイッチ素子11と同タイプのMOSトランジスタからなり、ソースとドレインを共通接続してスイッチ素子11のソース・ドレインの一方（信号転送側の拡散層）に接続されている。そして、ノイズ除去素子15のゲート電極には、スイッチ素子11と同様に、タイミング発生回路14によりスイッチパルスφ2が印加されている。

【0019】なお、図中の16は信号原側の回路12とスイッチ素子11をつなぐ配線、17はスイッチ素子11のゲート電極とタイミング発生回路14をつなぐ配線、18はスイッチ素子11と信号転送先側の回路13をつなぐ配線、19はノイズ除去素子15のゲート電極とタイミング発生回路14をつなぐ配線を示している。

【0020】ここで、スイッチ素子11のゲート電極に印加されるスイッチパルスφ1とノイズ除去素子15のゲート電極に印加されるスイッチパルスφ2との関係は、図2に示すように逆の位相となっている。従って、スイッチ素子11のゲート電極に高電圧（H）が印加されたとき、ノイズ除去素子15のゲート電極には低電圧（L）が印加される。逆に、スイッチ素子11のゲート電極に低電圧（L）が印加されたとき、ノイズ除去素子15のゲート電極には高電圧（H）が印加される。

【0021】次に、図3を用いて本実施形態によりノイズが低減される理由について説明する。なお、この図はスイッチ素子11及びノイズ除去素子15におけるポテンシャルの変化を示し、図中のE1がスイッチ素子11にHの電圧を与えた時、E2がLの電圧を与えた時のポテンシャルを示している。

【0022】MOSトランジスタからなるスイッチ素子11のオンオフ時の雑音は、スイッチ素子11のゲート電極に加えられる電圧の変化によって、ゲート電極と基板、ゲート電極と拡散層との間の容量（以後、寄生容量と称する）に電荷が蓄積放出されるためである。従って、スイッチ素子11が大きくなるほど、具体的にはゲ

ート電極が大きくなるに伴い雑音も大きくなる。

【0023】これに対し本実施形態では、スイッチ素子11と同タイプのMOSトランジスタからなるノイズ除去素子15を設け、ノイズ除去素子15のソースとドレインを共通接続してスイッチ素子11のソース・ドレインの一方に接続すると共に、ノイズ除去素子のゲート電極にスイッチ素子11とは逆極性のパルスが印加されるようにしている。

【0024】この場合、スイッチ素子11のゲート電極の電圧がHからLに変化し、スイッチ素子11の寄生容量から負電荷が放出されたとき、同時にノイズ除去素子15のゲート電極の電圧がLからHに変化することによって、ノイズ除去素子15の寄生容量にスイッチ素子11が放出した負電荷を蓄積させることができる。このため、両者の影響が相殺され、ソース若しくはドレイン拡散層領域のスパイク雑音や電位変動を抑制することができる。

【0025】このように本実施形態によれば、スイッチ素子11から発生する雑音電荷をノイズ除去素子15によりキャンセルすることができるので、スイッチ素子11のトランジスタサイズを大きくすることができ、雑音がなく高速に動作するスイッチ回路を実現することができる。また、ノイズ除去素子15はスイッチ素子11と同様のMOSトランジスタでよくスイッチ素子11と同じプロセスで同時に形成できるため、ノイズ除去素子15を作成するために格別のプロセスを必要とすることもない。

【0026】（第2の実施形態）図4は、本発明の第2の実施形態に係わる半導体装置の回路構成を示す図である。

【0027】図中の21は従来からあるスイッチ素子であり、このスイッチ素子21によって、信号原側の回路（電源）22と信号転送先側の回路（負荷容量）23がつながっている。スイッチ素子21は、例えばnチャネルMOSトランジスタであり、そのゲート電極には、タイミング発生回路24によりスイッチパルスφ1が印加されている。

【0028】ここまでの基本構成に加え本実施形態では、スイッチ素子21の負荷側にノイズ除去素子25が接続されている。このノイズ除去素子25は、スイッチ素子21と逆のタイプのMOSトランジスタからなり、ソース・ドレインを共通接続してスイッチ素子21のソース・ドレインの一方（信号転送側の拡散層）に接続されている。そして、ノイズ除去素子25のゲート電極には、スイッチ素子21と同様にタイミング発生回路24によりスイッチパルスφ2が印加されている。

【0029】なお、図中の26は信号原側の回路22とスイッチ素子21をつなぐ配線、27はスイッチ素子21のゲート電極とタイミング発生回路24をつなぐ配線、28はスイッチ素子21と信号転送先側の回路23

をつなぐ配線、29はノイズ除去素子25のゲート電極とタイミング発生回路24をつなぐ配線を示している。

【0030】ここで、スイッチ素子21のゲート電極に印加されるスイッチパルス $\phi_1$ とノイズ除去素子25のゲート電極に印加されるスイッチパルス $\phi_2$ との関係は、図5に示すように全く同じ位相となっている。従って、スイッチ素子21のゲート電極に高電圧(H)が印加されたとき、ノイズ除去素子25のゲートにも高電圧(H)が印加される。逆に、スイッチ素子21のゲート電極に低電圧(L)が印加されたとき、ノイズ除去素子25のゲートにも低電圧(L)が印加される。なお、 $\phi_1$ と $\phi_2$ が同位相ということは、スイッチ素子21とノイズ除去素子25の各ゲート電極を共通接続してもよいことを意味している。

【0031】本実施形態が先に説明した第1の実施形態と異なる点は、ノイズ除去素子25としてスイッチ素子21と逆タイプのMOSトランジスタを用いる点と、各素子21、25のゲート電極に印加するスイッチパルスを同位相としている点である。この場合、スイッチ素子21のゲート電極の電圧がHからLに変化し、スイッチ素子21の寄生容量から負電荷が放出されたとき、同時に本実施形態のノイズ除去素子25のゲート電圧がHからLに変化することによって、ノイズ除去素子25の寄生容量にスイッチ素子21から放出された負電荷を蓄積させることができる。

【0032】従って、両者の影響が相殺され、ソース若しくはドレイン拡散層領域のスパイク雑音や電位変動を抑制することができ、第1の実施形態と同様の効果が得られる。また本実施形態では、ノイズ除去素子のゲート電極はスイッチ素子のゲート電極に接続すればよく、スイッチ素子のゲート電極に与えるスイッチパルスと逆の位相のパルスを必要とする必要もない利点がある。

【0033】なお、本発明は上述した各実施形態に限定されるものではない。実施形態では、スイッチ素子としてMOSトランジスタを例に取り説明したが、本発明はJFETについても適用することができる。JFETの場合も、スイッチング時のゲート電圧の変化により寄生容量から電荷が放出され、これがノイズ発生の要因となるため、ノイズ除去素子としてスイッチ素子と同様の構成のJFETを配置し、スイッチ素子による電荷とノイ

\*ズ除去素子による電荷を相殺させることにより、ノイズの低減が可能となる。要は、スイッチング時のゲート電圧の変化により寄生容量から電荷が放出されてノイズが発生するようなスイッチ素子に適用することが可能である。

【0034】また、実施形態ではスイッチ素子の信号転送先側のみにノイズ除去素子を配置したが、これは電源側は一般にノイズの影響を受けないためであり、信号原側もノイズの影響を受ける場合は、スイッチ素子の両側にノイズ除去素子を配置すればよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【0035】

【発明の効果】以上詳述したように本発明によれば、スイッチ素子のオンオフ時にスイッチ素子と逆の電荷が放出されるようなノイズ除去素子を設けることにより、スイッチ素子からの電荷とノイズ除去素子からの電荷を相殺させることができ、これによりスイッチング時の雑音の低減をはかることができる。従って、オン抵抗の小さいスイッチ素子を用いながら、オンオフの際の雑音を低減することのできる半導体装置を実現することが可能となる。

#### 【図面の簡単な説明】

【図1】第1の実施形態に係わる半導体装置の回路構成を示す図。

【図2】第1の実施形態における各素子に印加するスイッチパルスを示す信号波形図。

【図3】第1の実施形態の作用を説明するための模式図。

【図4】第2の実施形態に係わる半導体装置の回路構成を示す図。

【図5】第1の実施形態における各素子に印加するスイッチパルスを示す信号波形図。

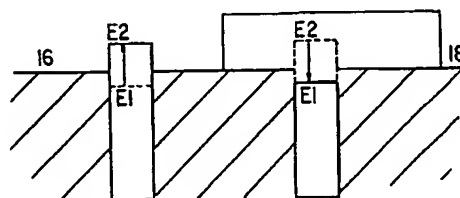
#### 【符号の説明】

- 11、21…スイッチ素子
- 12、22…信号原側の回路(電源)
- 13、23…信号転送先側の回路(負荷容量)
- 14…タイミング発生回路
- 15、25…ノイズ除去素子
- 16~19、26~29…配線

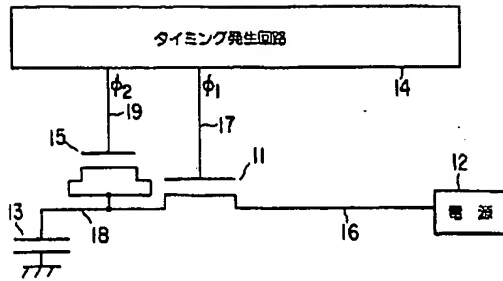
【図2】



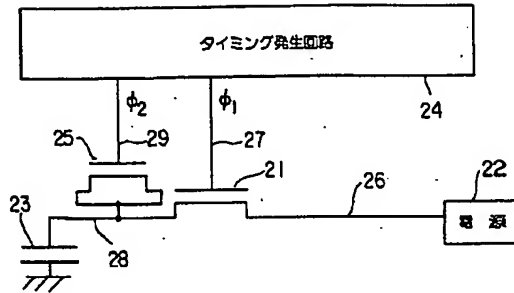
【図3】



【図1】



【図4】



【図5】

